



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000010427 (43) Publication Date. 20000215

(21) Application No.1019980031327 (22) Application Date. 19980731

(51) IPC Code:

H01L 21/50

(71) Applicant:

SAMSUNG ELECTRONICS CO., LTD.

(72) Inventor:

HONG, SEONG HO

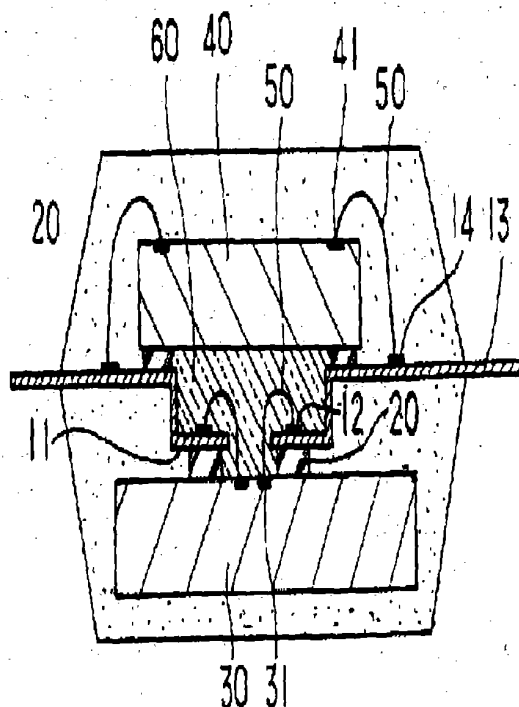
HONG, SEONG JAE

(30) Priority:

(54) Title of Invention

DEPOSITION PACKAGE AND METHOD FOR MANUFACTURING THE SAME

Representative drawing



(57) Abstract:

PURPOSE: A deposition package and method for manufacturing the same are provided for packaging a center pad chip and a edge pad chip on single semiconductor chip package.

CONSTITUTION: A lead on chip type of lead frame includes a downset leading end(11), and an internal lead having a flat region integrally connected to the leading end. A center pad chip(30) having center pads is adhered to the lower surface of the leading end by an insulating adhesive and electrically connected to the upper surface of the leading end by a bonding wire. An edge pad chip(40) having edge pads is adhered to the upper surface of the flat region through an insulating adhesive and electrically connected to the upper surface of the flat region through a bonding wire. A insulation solution is hardened to the leading end, for electrically insulating the center pad chip and the edge pad chip. A molding resin is provided for protecting each of the parts from the outside environment. Thereby, it is possible to improve a mounting density of the package by packaging the center pad chip and the edge

pad chip on single semiconductor chip package.

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> (11) 공개번호 특2000-0010427

H01L 21 /50

(43) 공개일자 2000년02월 15일

(21) 출원번호 10-1998-0031327

(22) 출원일자 1998년07월31일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기도 수원시 팔달구 매탄3동 416  
홍성재

서울특별시 강남구 수서동 신동아아파트 705-401

홍성호

(74) 대리인 경기도 수원시 팔달구 영통동 황골마을 주공아파트 136-1805  
임평섭, 정현영, 최재희

심사청구 : 없음

(54) 적층 패키지 및 그 제조방법

요약

리드프레임의 내부리드들의 다운셋된 선단부에 센터패드 칩이 접착제에 의해 접착되고 아울러 본딩와이어에 의해 전기적 연결되며 내부리드들의 다운셋되지 않은, 평탄영역도 접착제에 의해 에지패드 칩이 접착되고 아울러 본딩와이어에 의해 전기적 연결된다. 또한, 센터패드 칩과 에지패드 칩이 절연액에 의해 서로 절연된다.

따라서, 본 발명은 적층 패키지 제품의 다기능화를 이룩할 수 있고, 이들 칩들 사이의 통전로 길이를 줄여 제품의 고속, 고기능화를 이룩할 수 있다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명에 의한 적층 패키지의 구조를 나타낸 단면도.

도 2 내지 도 7은 본 발명에 의한 적층 패키지의 제조방법을 나타낸 단면공정도.

## <도면의 주요 부분에 대한 부호의 설명>

10: 내부리드 11: 내부리드의 다운셋된 선단부 12, 14: 도금층 13: 내부리드의 평탄영역 20: 접착제 30: 센터패드 칩 31: 센터패드 40: 에지패드 칩 41: 에지패드 50: 본딩와이어 60: 절연액 70: 몰딩수지

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 적층 패키지에 관한 것으로, 더욱 상세하게는 에지패드 칩과 센터패드 칩을 하나의 패키지 내에 형성하도록 한 적층 패키지 및 그 제조방법에 관한 것이다.

일반적으로 알려진 바와 같이, 최근에 전자기기와 정보기기의 메모리 용량이 대용량화함에 따라 디램(DRAM)과 에스램(SRAM)과 같은 반도체 메모리소자는 고집적화되면서도 칩사이즈가 점차 증대하고 있다.

반면에 반도체칩을 내장하는 플라스틱 반도체칩 패키지는 전자기기와 정보기기의 경량화 추세에 맞추어 경박단소화되어 왔다. 반도체칩 패키지 자체의 경박단소화와 더불어 반도체칩 패키지는 실장밀도 향상을 위해 인쇄회로기판에 수직 방향으로 다수개 적층될 수 있도록 개발되어 왔다.

#### 발명이 이루고자하는 기술적 과제

그런데, 패키지들의 적층 수가 증가함에 따라 적층 패키지의 전체 높이가 증가하여 실장밀도를 향상시키는데 한계가 있다.

그래서, 최근에는 패키지의 실장밀도 향상을 위해 적어도 2개 이상의 반도체칩을 하나의 반도체칩 패키지에 패키징한 적층 구조가 소개된 바 있다.

이와 같은 구조의 적층 패키지는 본딩패드들이 상부면 중앙부에 배열된 반도체칩(이하, 센터패드 칩이라고 함)을 다수개 패키징하거나 본딩패드들이 상부면 가장자리부를 따라 배열된 반도체칩(이하, 에지패드 칩이라고 함)을 적층하는데 적합하다.

그러나, 종래의 적층 패키지는 디램과 같은 반도체 메모리용 센터패드 칩과 에지패드 칩을 하나의 반도체칩에 함께 패키징하는데 적합하지 않다.

따라서, 본 발명의 목적은 센터패드 칩과 에지패드 칩을 하나의 반도체칩 패키지에 패키징하도록 한 것이다.

또한, 본 발명의 다른 목적은 다음의 상세한 설명 및 첨부된 도면에 의해 보다 명확해질 것이다.

### 발명의 구성 및 작용

이와 같은 목적을 달성하기 위한, 본 발명에 의한 적층 패키지는 리드 온 칩 타입 리드프레임의 내부리드들의 다운셋된

선단부에 접착제에 의해 센터패드 칩의 상부면이 접착되고, 내부리드들의 다운셋되지 않은 평탄영역에 접착제에 의해 에지패드 칩의 하부면이 접착되도록 구성된다. 또한, 센터패드 칩의 센터패드들이 본딩와이어에 의해 선단부의 상면 도금층에 전기적으로 연결되고, 에지패드 칩의 에지패드들이 본딩와이어에 의해 상기 평탄영역의 상면 도금층에 전기적으로 연결된다.

접착제로는 리드 온 칩 타입 접착테이프를 사용하는 것이 바람직하다. 센터패드 칩에 연결된 본딩와이어와 에지패드 칩과의 전기적 절연은 절연액 도포에 의해 이루어진다. 절연액은 예를 들어 폴리이미드액이 바람직하다.

도금층은 은(Ag) 재질로 이루어진 것이다.

따라서, 본 발명은 센터패드칩과 에지패드칩을 하나의 패키지에 패키징할 수 있고, 제조원가 측면에서 유리하고 패키지의 내부 구조에 대한 자유도를 향상시킬 수 있다.

이하, 본 발명에 의한 적층 패키지를 첨부된 도면을 참조하여 상세히 설명하기로 한다.

도 1을 참조하면, 본 발명의 적층 패키지는 리드 온 칩 타입 리드프레임의 내부리드들(10)의 다운셋된 선단부(11)에 접착제(20)에 의해 센터패드 칩(30)의 상부면이 접착되고, 내부리드들(10)의 다운셋되지 않은 평탄영역(13)의 상면 내측단 상의 접착제(30)에 의해 에지패드 칩(40)의 하부면이 접착되도록 구성된다. 또한, 센터패드 칩(30)의 센터패드들(31)이 본딩와이어(50)에 의해 선단부(11)의 도금층(12)에 전기적으로 연결되고, 에지패드 칩(40)의 에지패드들(41)이 본딩와이어(50)에 의해 평탄영역(13)의 도금층(14)에 전기적으로 연결된다. 센터패드 칩(30)과 에지패드 칩(40)은 외부 환경으로부터의 보호를 위해 몰딩수지(70)에 의해 몰딩된다.

도금층(14)은 평탄영역(13)의 접착제(20)로부터 외측으로 약간의 거리를 두고 위치한다. 도금층(12), (14)은 본딩와이어(50)와의 내부리드들(10)과의 본딩성을 향상시키기 위한 것으로 은(Ag) 재질로 이루어진 것이다.

접착제(20)는 예를 들어 리드 온 칩 타입 접착테이프가 사용될 수 있다. 센터패드 칩(30)에 연결된 본딩와이어(50)와 에지패드 칩(40)과의 전기적 절연은 절연액(60)의 도포에 의해 이루어진다. 절연액(60)은 예를 들어 폴리이미드액이 바람직하다.

따라서, 본 발명은 하나의 패키지에 센터패드 칩(30)과 에지패드 칩(40)을 패키징하므로 제조원가 측면에서 유리하고 패키지의 내부구조에 대한 자유도를 향상시킬 수 있다.

이와 같이 구성되는 적층 패키지의 제조방법을 도 2 내지 도 7을 참조하여 설명하기로 한다.

도 2를 참조하면, 먼저, 리드 온 칩 타입 리드프레임의 내부리드들(10)의 다운셋된 선단부(11)에 접착제(20)에 의해 센터패드 칩(30)의 상부면이 접착된다. 이때, 센터패드들(31)이 선단부(11)의 사이에 위치한다.

여기서, 선단부(11)의 상부면에 도금층(12)이 형성되고, 내부리드들(10)의 다운셋되지 않은, 평탄영역(13)의 상부면 내측단에 접착제(20)가 접착되고, 접착제(20)의 외측으로 약간의 거리를 두고 도금층(14)이 형성된다. 도금층(12), (14)은 본딩와이어(50)와 내부리드들(10)과의 본딩성을 향상시키기 위한 것으로, 은 재질로 이루어진다.

도 3을 참조하면, 센터패드 칩(30)과 내부리드들(10)이 접착되고 나면, 도금층(12)이 본딩와이어(50), 예를 들어 미세 금(Au) 선에 의해 센터패드들(31)에 대응하여 전기적으로 연결된다.

도 4를 참조하면, 도금층(12)과 센터패드들(31)의 전기적 연결이 완료되고 나면, 본딩와이어(50)와 후술할 반도체칩(40)과의 전기적 절연을 위해 선단부(11) 상에 절연액(60), 예를 들어 폴리이미드액이 도포된다. 이후 통상의 과정에 의해 절연액이 경화된다. 이때, 절연액(60)은 가능한 한 평탄영역(13)의 높이 이하로 유지되는 것이 바람직한데 이는 절연액(60)이 흘러 넘침을 방지하기 위함이다.

여기서, 리드 온 칩 타입 테이프의 원가보다 저렴한 절연액(60)이 사용되므로 제조원가의 절감과 제조공정의 용이함이 이

록된다.

도 5를 참조하면, 절연액(60)의 도포가 완료되고 나면, 에치패드 칩(40)의 하부면 가장자리가 평탄영역(13)의 접착제(20)에 접착된다. 이때, 반도체칩(40)과 본딩와이어(50)와의 전기적 절연은 절연액(60)에 의해 이루어진다. 절연액(60)은 통상적으로 사용되는 3층의 리드 온 칩 타입 테이프와 달리 두께에 대해 조절이 가능하다.

도 6을 참조하면, 절연액(60)의 도포가 완료되고 나면, 에지패드 칩(40)의 에지패드들(41)이 본딩와이어(50)에 의해 평탄영역(13)의 도금층(14)에 전기적으로 연결된다.

도 7을 참조하면, 에지패드들(41)과 도금층(14)과의 전기적 연결이 완료되고 나면, 전기적 연결된 센터패드 칩(10)과 에지패드 칩(40)이 외부환경으로부터의 보호를 위해 몰딩수지(70)에 의해 몰딩된다.

이후, 통상의 공정을 거쳐 리드프레임의 외부리드들이 각각 전기적으로 분리되고 아울러 원하는 형태로 성형됨으로써 적층 패키지가 완성된다.

#### 발명의 효과

이상에서 살펴본 바와 같이, 본 발명에 의한 적층패키지 및 그 제조방법에서는 내부리드들의 다운셋된 선단부에 센터패드 칩이 접착제에 의해 접착되고 아울러 본딩와이어에 의해 전기적 연결되며 내부리드들의 다운셋되지 않은, 평탄영역도 접착제에 의해 에지패드 칩이 접착되고 아울러 본딩와이어에 의해 전기적 연결된다. 또한, 센터패드 칩과 에지패드 칩이 절연액에 의해 서로 절연된다.

따라서, 본 발명은 적층 패키지 제품의 다기능화를 이룩할 수 있고, 이들 칩들 사이의 통전로 길이를 줄여 제품의 고속, 고기능화를 이룩할 수 있다.

한편, 본 발명은 도시된 도면과 상세한 설명에 기술된 내용에 한정하지 않으며 본 발명의 사상을 벗어나지 않는 범위 내에서 다양한 변형이 적용 가능함은 이 분야에 통상의 지식을 가진 자에게는 자명한 사실이다.

#### (57) 청구의 범위

청구항 1. 다운셋된 선단부와 상기 선단부에 일체로 연결되며 평탄영역을 갖는 내부리드들을 포함하는 리드 온 칩 타입 리드프레임;

상기 선단부의 하면에 절연성 접착제에 의해 접착되며, 상기 선단부의 상부면에 본딩와이어에 의해 전기적으로 연결되는 센터패드들을 갖는 센터패드 칩;

상기 평탄영역의 상부면에 절연성 접착제에 의해 접착되며, 상기 평탄영역의 상부면에 본딩와이어에 의해 전기적으로 연결되는 에지패드들 갖는 에지패드 칩;

상기 센터패드 칩과 상기 에지패드 칩과의 전기적 절연을 위해 상기 선단부에 경화된 절연액; 그리고

상기 각부를 외부 환경으로부터의 보호를 위해 몰딩하는 몰딩수지를 포함하는 적층 패키지.

청구항 2. 제 1 항에 있어서, 상기 절연액은 폴리이미드 재질로 이루어진 것을 특징으로 하는 적층 패키지.

청구항 3. 제 2 항에 있어서, 상기 센터패드 칩과 에지패드 칩과의 전기적 절연을 위해 상기 절연액은 상기 평탄영역

의 레벨 이하의 높이로 도포되는 것을 특징으로 하는 적층 패키지.

청구항 4. 제 1 항에 있어서, 상기 센터패드 칩들은 각각 상기 선단부의 상부면에 형성된 도금층에 본딩와이어에 의해 전기적으로 연결되는 것을 특징으로 하는 적층 패키지.

청구항 5. 제 1 항에 있어서, 상기 에지패드 칩들은 각각 상기 평탄영역에 형성된 도금층에 본딩와이어에 의해 전기적으로 연결되는 것을 특징으로 하는 적층 패키지.

청구항 6. 제 4 항 또는 제 5 항에 있어서, 상기 도금층은 은(Ag) 도금층인 것을 특징으로 하는 적층 패키지.

청구항 7. 리드 온 칩 리드프레임의 내부리드들의 다운셋된 선단부에 절연성 접착제에 의해 센터패드들을 갖는 센터패드 칩을 접착시키는 단계;

상기 센터패드들을 본딩와이어에 의해 상기 선단부에 전기적으로 연결하는 단계;

상기 전기적 연결된 선단부를 절연액에 의해 도포하는 단계;

상기 내부리드들의 다운셋되지 않은, 평탄영역에 절연성 접착제에 의해 에지패드들을 갖는 에지패드 칩을 접착시키는 단계;

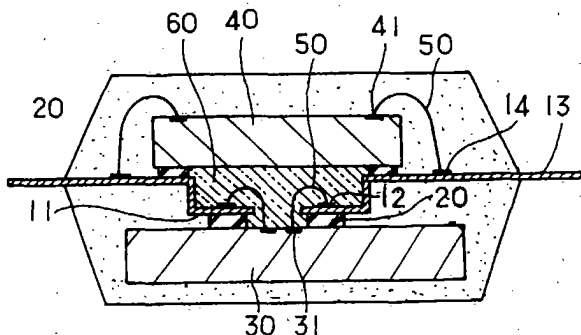
상기 에지패드 칩의 에지패드들을 본딩와이어에 의해 상기 평탄영역에 전기적으로 연결하는 단계; 그리고

상기 각부들을 외부환경으로부터의 보호를 위해 몰딩수지에 의해 몰딩하는 단계를 포함하는 적층 패키지의 제조방법.

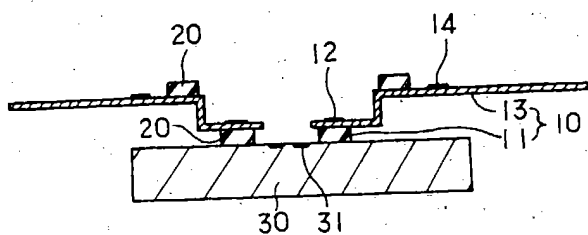
청구항 8. 제 7 항에 있어서, 상기 센터패드 칩과 에지패드 칩과의 전기적 절연을 위해 상기 절연액을 상기 평탄영역의 레벨 이하의 높이로 도포하는 것을 특징으로 하는 적층 패키지의 제조방법.

도면

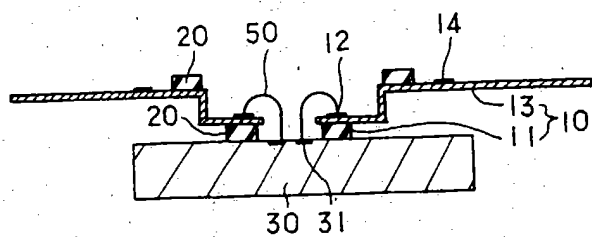
도면1



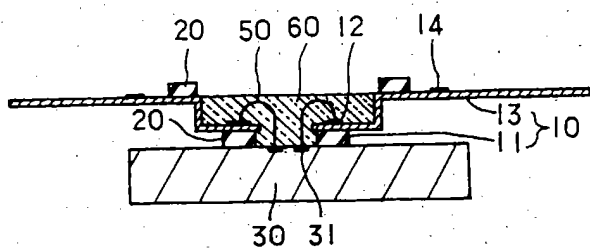
도면2



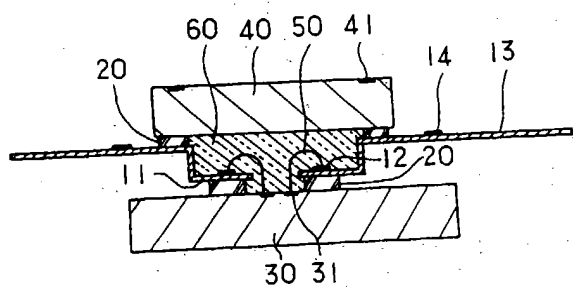
도면3



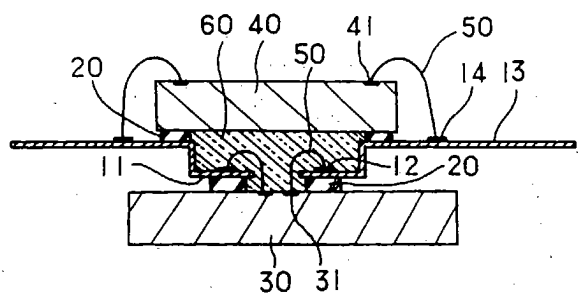
도면4



도면5



도면6



도면7

